

No. 2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-288368

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)11月28日

H 01 L 29/788
21/027
29/792

7514-5F H 01 L 29/78 3 7 1
7013-5F 21/30 3 0 1 Z

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-109642

⑰ 出 願 平1(1989)4月28日

⑱ 発 明 者 両 角 幸 男 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

法に関するものである。

(従来の技術)

1. 発明の名称

半導体装置の製造方法

従来の半導体不揮発性メモリとしては、MIS型トランジスタが一般に使用されEPROM(紫外線消去型不揮発性メモリ)、EEPROM(電気的書き換え可能型不揮発性メモリ)などとして実用化されているものの、これらは書き換え電圧が約20V前後と高いことや書き換え時間が長いことが問題とされている。従って最近では、電氣的に分極が反転可能な強誘電体膜を用いて、書き込み時間と読み出し時間が原理的にほぼ同じで、電極をきっても分極が保持される不揮発性メモリが提案されている。このような強誘電体膜を用いた不揮発性メモリについては、例えば米国特許4149302の様に、シリコン基板上に強誘電体膜からなるキャパシタを集積した構造や、米国特許3832700の様にMIS型トランジスタのゲート部分に強誘電体膜を配置したもの、あるいはIEDM:87pp. 850-851の様に強誘電体膜をMOS型半導体装置に積層した構造の不揮発

2. 特許請求の範囲

(1) 強誘電体膜が能動素子の形成された同一半導体基板上に集積された半導体装置に於いて、前記強誘電体膜を挟む電極の少なくともいずれかは、該強誘電体膜と同一マスクパターンにより形成されていることを特徴とする半導体装置の製造方法。
(2) 強誘電体膜とこれを挟む電極の少なくともいずれかのエッチングを、同一の装置内で引き続いて行なうことを特徴とする請求項1記載の半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は強誘電体膜を用いた半導体装置、特に電氣的に書き換え可能な不揮発性メモリの製造方

性メモリが提案されている。従来これらの製造方法は、例えば第2図の様に、MOSトランジスタ等の半導体素子が形成されたシリコン基板11上のフィールド酸化膜12や第1の層間絶縁膜17を介して、 Poly-Si 等の導電膜を成長させ、これを CF_4 等のフロロカーボン系のガスを用いたドライエッチャーでパターニングした下部電極18を形成してある。ここで、13はゲート絶縁膜、14は Poly-Si 等を用いたゲート電極で、15、16はソース、ドレイン等のN型不純物層である(第2図(a))。次いで強誘電体膜19として PbTiO_3 や PZT ($\text{PbTiO}_3/\text{PbZrO}_3$)、 PLZT ($\text{La}/\text{PbTiO}_3/\text{PbZrO}_3$)等を約5000Åスパッタリングした後熱処理し結晶性の改善を行ってから、 HCl 、 HF と NH_4F の混合液で前記強誘電体膜19を所定形状にエッチングしてある。次に、Al合金をスパッタリング、パターニングし、上部電極20とする(第2図(b))。続いて第2の層間絶縁膜21としてシリコン酸化膜を気相成

長し、コンタクトホール開孔後、Al合金による金属配線22を施してある(第2図(c))。

(発明が解決しようとする課題)

しかしながら従来技術では、強誘電体膜19や上部、下部電極18、20は各々別の工程でパターニングされている為、寸法精度、合わせ精度の再現性、工程数に問題があった。又、パターニングを繰り返すごとに第1の層間絶縁膜17が薄くなってしまうことや、コンタクトホールを開孔する時に上部電極上とシリコン基板の不純物層上の層間絶縁膜の厚みが異なるため、上部電極がエッチングされてしまうことがあり、集積化、生産性の面で問題となっていた。

しかるに本発明は、かかる問題点を解決するもので、低コストで製造容易な微細半導体装置、特に強誘電体膜を用いた不揮発性メモリの実用化と安定供給を行なうことを目的としたものである。

(課題を解決するための手段)

本発明の半導体装置の製造方法は、強誘電体膜が能動素子の形成された同一半導体基板上に集積

された半導体装置に於いて、前記強誘電体膜を挟む電極の少なくともいずれかは、該強誘電体膜と同一マスクパターンにより形成されていることを特徴とする。

(実施例)

本発明の半導体装置製造方法の一実施例を、第1図に基づいて詳細に説明する。例えばP型シリコン基板11上に選択酸化によってフィールド酸化膜12を成長した後、200Åのシリコン酸化膜でなるゲート絶縁膜13と、例えばリンドープした Poly-Si でなるゲート電極14を形成し、これらと自己整合的にソース、ドレイン等のN型不純物層15、16形成のためリンを $8 \times 10^{15} \text{cm}^{-2}$ でイオン注入してある。これに第1の層間絶縁膜17として気相成長酸化や平坦化のための窒素ガラスをコートし、コンタクトホールを開孔してある(第1図(a))。次に、約3500Åの Poly-Si を気相成長しリン等の不純物をドーピング後、強誘電体膜19として PbTiO_3 を約5000Åをスパッタしてから、約6

50℃で熱処理し結晶性改善を行ない、再度 Poly-Si を気相成長させ不純物をドーピングする。ここで強誘電体膜の熱処理は、上部電極となる Poly-Si の成長時に、同一炉で行なっても良い。次に、フォトレジスト30をマスクにしてECR(電子サイクロトロン共鳴)型ドライエッチャーで $\text{C}_2\text{Cl}_2\text{F}_4$ 、 SF_6 と Ar ガス等を用いて、前記強誘電体膜19と上部、下部電極20、18となる Poly-Si を所定形状に、同一チャンバー内で連続してドライエッチングした(第1図(b))。続いてフォトレジスト30を剥離後、シリコン酸化膜を気相成長させた第2の層間絶縁膜21と第1の層間絶縁膜17等にコンタクトホールを開孔し、約1.0μmの厚みでスパッタリングしたAl合金膜をフォトレッチングして金属配線22とした(第1図(c))。その後、プラズマ成長によるシリコン窒化膜を積層させ表面保護膜とし、更に外部電極取り出し用のパッドを開孔した。

このようにしてなる半導体装置は、強誘電体膜

と下部あるいは上部電極がほぼ自己整合的に形成されるので、寸法の制御が容易になり従来に比べ集積化が出来る。又フォトリソ加工回数が減り、工数低減と共に層間絶縁膜の厚みが確保出来た。更にキャパシタと不純物層の接続が下部電極と直接取れ、ホール開孔時に上部電極がエッチングで除去されることがなくなった。尚、強誘電体膜19としてPbTiO₃に替えて、PZT、PLZTを用いたものも実施し同様な効果が得られた。又、強誘電体膜と上、下部電極の3層を同時エッチングする他に、強誘電体膜と下部電極、強誘電体膜と上部電極のそれぞれを同時エッチングしても良い。一方、上部、下部電極としてPoly-Siを用いたが、この他にa-SiあるいはTi、W、Mo、Ta、Ptのような高融点金属やシリサイドもしくは窒化物、これらの化合物の単層、積層構造でも応用可能である。更に本発明は、強誘電体膜のメモリ構造がMOSICを含むシリコン基板上に形成された場合について説明したが、CMOS、バイポーラあるいはこれらの複合素子

のIC構造、又基板はGaAsなどの化合物半導体を用いても良い。

〔発明の効果〕

以上の様に本発明によれば、強誘電体膜と上部あるいは、下部電極を同時エッチングすることにより、集積化、生産性に優れた半導体装置、特に不揮発メモリの実用化と安定供給に寄与出来るものである。

4. 図面の簡単な説明

第1図(a)～(c)は、本発明による半導体装置製造方法の実施例を示す概略断面図である。

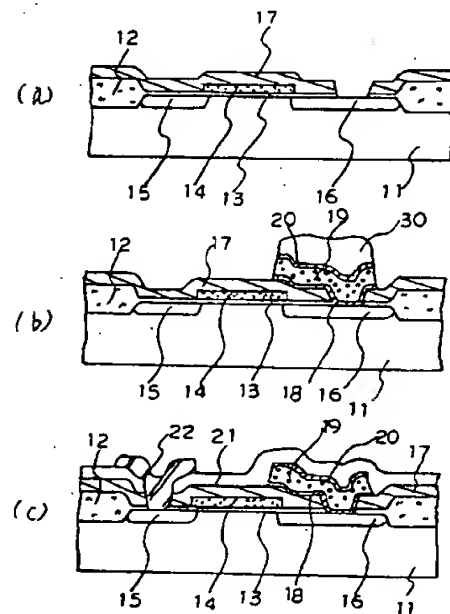
第2図(a)～(c)は、従来の半導体装置製造方法に係わる概略断面図である。

- 11・・・シリコン基板
- 12・・・フィールド酸化膜
- 13・・・ゲート絶縁膜
- 14・・・ゲート電極
- 15、16・・・不純物層

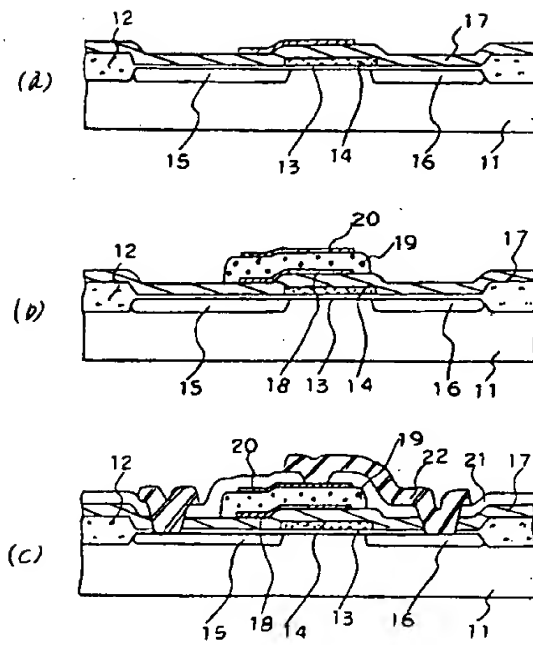
- 17・・・第1の層間絶縁膜
- 18・・・下部電極
- 19・・・強誘電体膜
- 20・・・上部電極
- 21・・・第2の層間絶縁膜
- 22・・・金属配線
- 30・・・フォトリソ

以上

出願人 セイコーエプソン株式会社
代理人 弁理士 鈴木 昌三郎 (他1名)



第1図



第 2 図